

[KT3010]

应用参考手册

目录

1	概况.....	4
1.1	简介.....	4
1.2	功能.....	4
1.3	典型应用.....	6
1.3.1	RDSS 单模民用终端方案.....	6
1.3.2	RNSS+RDSS 双模民用终端方案.....	7
2	封装与管脚定义.....	7
2.1	封装尺寸.....	7
2.2	管脚分布.....	8
2.3	信号管脚定义.....	9
2.4	电源管脚定义.....	12
2.5	生产操作.....	13
3	硬件参考电路.....	14
3.1	复位电路.....	14
3.2	时钟电路.....	14

3.3 模拟中频输入匹配电路 15

3.4 SDRAM 电路 15

3.5 FLASH 电路 16

1 概况

1.1 简介

KT3010 为主要面向北斗三号民用信号接收的 SoC 导航定位芯片。它可支持北斗三号 RNSS 民用信号 B1C/B2a/B2b/B3I/B1I、RDSS 民用信号 S2C 和全球短报文信号 B2b 的接收，同时兼容北斗二号 RNSS 民用信号 B2I，RDSS 民用信号 S1，以及 GPS L1 C/A / L5、GLONASS G1 / G2、GALILEO E1/E5a/E5b 等信号的接收。其还可配合外部的 RDSS 入站上变频器与功放实现 Lf0/Lf1/Lf2/Lf4 频点的 RDSS 民用以及全球短报文的入站功能。

KT3010 通过内置的 ADC 支持最多 6 路模拟中频输入，最高采样率为 125MHz，终端设备可无需外接 ADC。

KT3010 内部具有 RTC 模块，可配合外部的 32768Hz 晶体，在有外部电池供电的情况下维持时间，以支持热启动功能。

KT3010 内置标称 500MHz 主频的双核 Cortex-A7 浮点处理器，并具有 1.5MB 片上 SRAM 和 64MB 片上 LPSDRAM，可单片实现信号跟踪、观测量提取、PVT 计算、RTK 等导航功能。KT3010 还可最大外扩 64MB SDRAM 以支持对存储要求更高的算法实现。

KT3010 内置 UART、SPI、I2C、GPIO 等多种外设控制器以实现对外设芯片等外设设备的控制，适合作为导航模块或核心板卡的主处理器。

KT3010 内置双 ARM 核，片内资源丰富、片外接口多样化，便于用户进行二次开发。

1.2 功能

➤ 基带功能

- 六路模拟或数字中频输入
 - ◆ 六路模拟输入，最高采样率为 125MHz
 - ◆ 每路中频输入也可以配置为 10bit 数字中频输入，格式为二进制有符号数
- 支持对中频输入进行窄带抗干扰处理

- 支持下列信号的捕获和跟踪功能，支持最多 128 个通道同时跟踪：
 - ◆ BDS: B1C / B1I / B2a / B2b / B3I
 - ◆ RDSS: S1 / S2C
 - ◆ GPS: L1 CA / L2C / L5
 - ◆ GLONASS: G1 / G2
 - ◆ Galileo: E1 / E5a / E5b
 - 支持北斗二代、三代 RDSS 民用区域短报文业务和全球短报文业务
 - 支持入站信号数字 BPSK 输出
 - 具备双 RDSS SIM 卡接口，支持北斗二代、三代 RDSS 出站业务数据同时解析，入站频度互不影响
 - 内置 RTC 模块支持外挂 32.768KHz 晶体与备用电源实现守时功能
 - 支持产生两组独立的授时秒脉冲信号。脉冲频度、占空比和极性可配置
 - 一路观测时标输出，用于和外部设备进行同步
 - 一路观测时标输入，用于在与外部时标或多颗芯片之间实现观测量时间同步
- SoC 功能
- ARM Cortex-A7 双核心处理器，CPU 主频 500MHz
 - 片内集成 64Mbyte LP-SDRAM，接口速度 125MHz
 - 可外扩最多 1 片 64Mbyte LP-SDRAM，接口速度 125MHz
 - 芯片外设包括：
 - ◆ 4 路 UART，UART1 可以复用为 GPIO，UART2 和 UART3 可以复用为 CAN；
 - ◆ 1 路 3.3V SPI master (SPIM0)，用于外设控制，支持 2 路片选；该路 SPI 全部可以复用为 GPIO；
 - ◆ 1 路高速 3.3V SPI master (SPIM1)，用于片间高速数据传输，最高速度 40Mbps，支持 3 路片选
 - ◆ 1 路 1.8V SPI master (LVSPI)，用于 1.8V 接口电平外设控制，支持 3 路片选。该路 SPI 全部可以复用为 LVGPIO；
 - ◆ 1 路 SPI slave (SPIS)，用于片间高速数据传输，最高速度不低于 50Mbps，和 SPIM1 复用

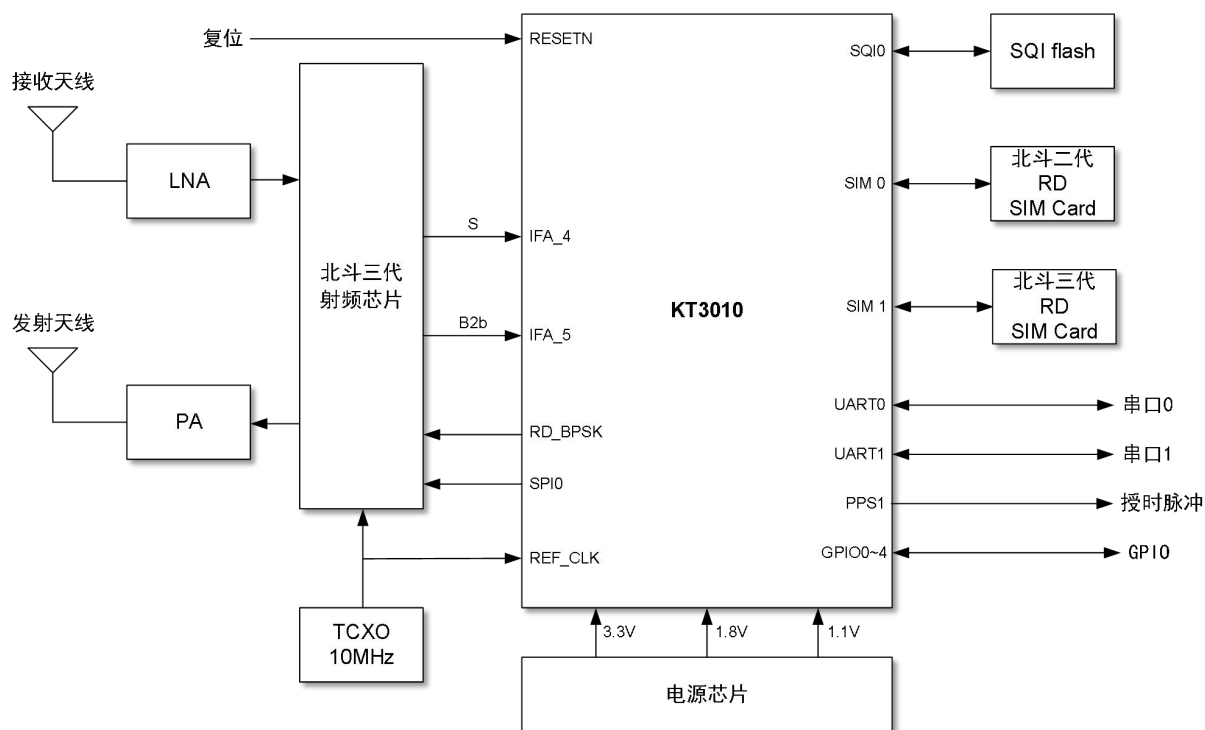
- ◆ 2路 SQUI master(SQI0 / SQI1),用于连接外部 flash 芯片,支持 single-read 和 dual-read
- ◆ 1路 I2C, 用于低速数据传输
- ◆ 23根 GPIO, 其中4个为专用GPIO, 其余与其他外设复用
- ◆ 2路 PWM 输出, 用于RDSS 发射功率调整或 TCXO 频率调整

➤ 时钟

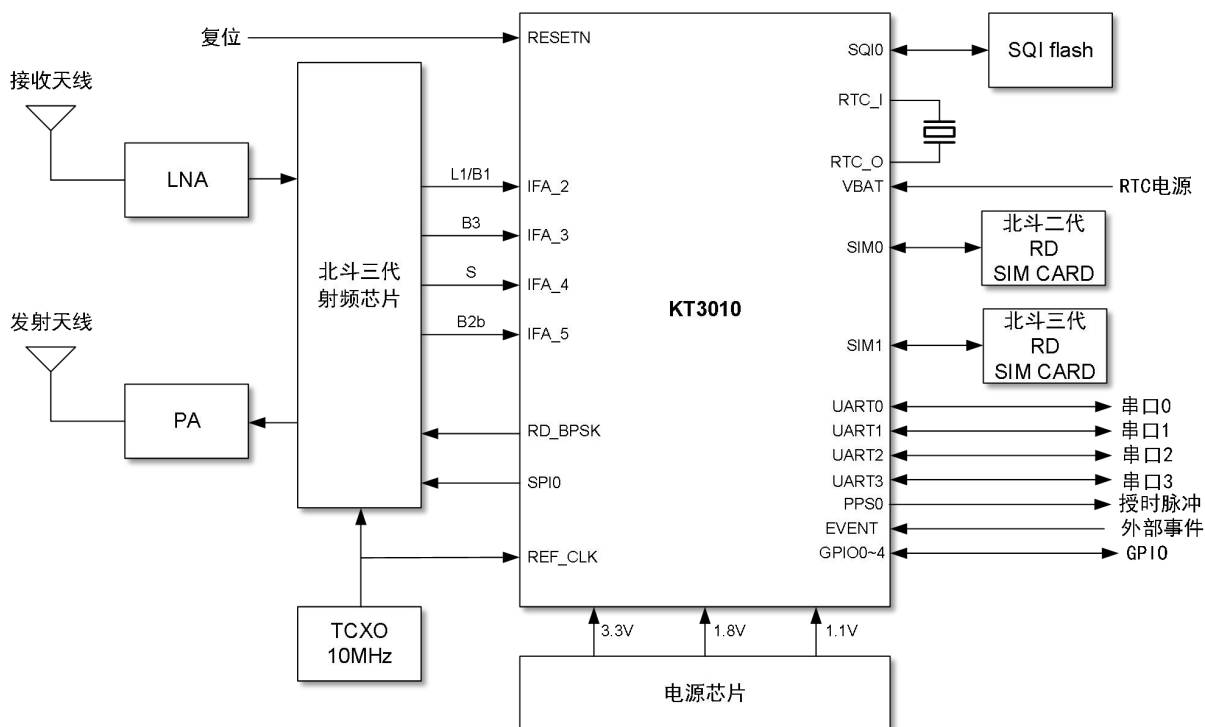
- 10MHz 参考时钟输入

1.3 典型应用

1.3.1 RDSS 单模民用终端方案



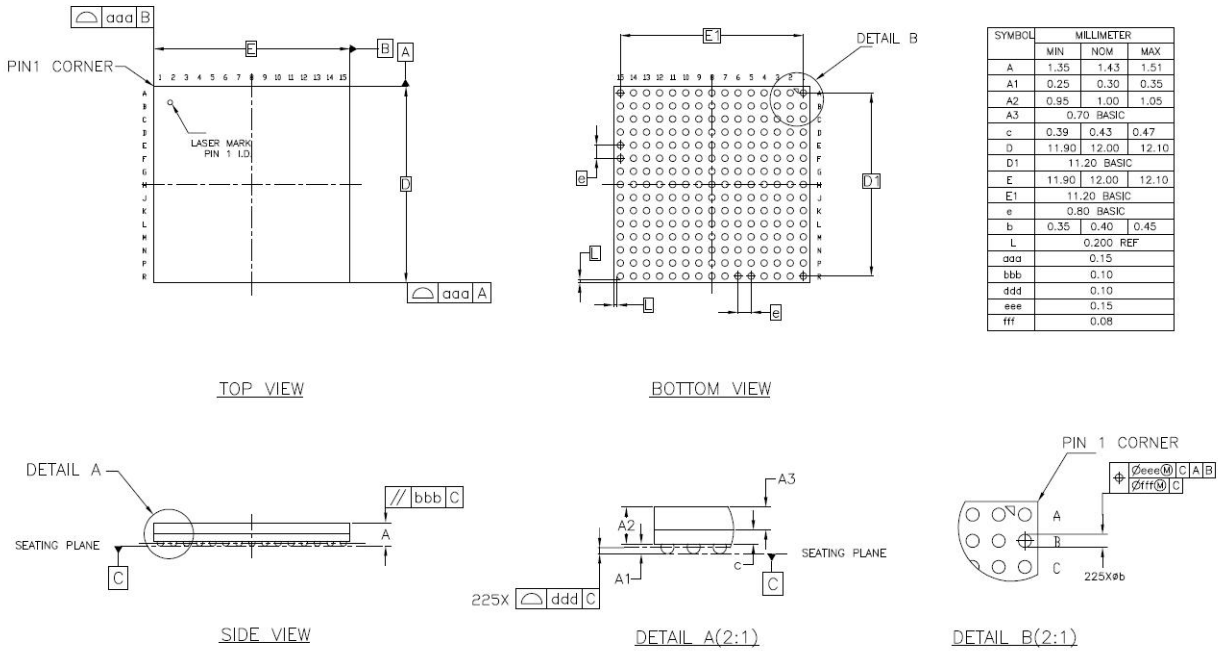
1.3.2 RNSS+RDSS 双模民用终端方案



2 封装与管脚定义

2.1 封装尺寸

KT3010 采用 LFBGA225 封装，封装尺寸为 12mm*12mm，ball pitch 0.8mm，ball size 0.4mm。机械外形图如下：



2.2 管脚分布

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
A	SIM0_RST	SIM1_IO/RMILRXD0	FUSE_SCLK	SDR_DQ15	SDR_DQ13	VDD	VDD	VDD	VSS	VDD_SDR	VDD33	VDD33	VDD33	VDD33	VDD33	A
B	EVENT	VSS	FUSE_RW	SQI0_D0	SPIM0_CSN0	SPIM0_MOSI	SPIM0_CSN1	VDD	GPIO4	UART0_RX	UART0_TX	SPIM1_MISO	UART2_TX/TXD_CAN0	UART3_RX/RXD_CAN1	UART2_RX/RXD_CAN0	B
C	PPS1	MEAS_SYNC	RMIL_RXD1	SQI0_D1	SPIM0_CLK	SQI0_CLK	SPIM0_MISO	GPIO3	GPIO1	RMIL_TXD1	SIM1_RST/RMILCLK50M	RMIL_TXEN	UART1_TX	UART1_RX	SPIM1_CSN0	C
D	RD_TX	RMIL_RXDV	FUSE_PGM	SQI1_CSN	SQI1_CLK	SQI0_CSN	I2C_SCL	PWM0	SPIM1_CSN1	SIM1_CLK/RMIL_TXD0	RMILMDC	TMS	FUSE_DOUT	SPIM1_CLK	REF_CLK	D
E	SIM0_CLK	LVSP1_MISO	LVSP1_CSN1	PPS0	SQI1_D0	SPIM1_MOSI	PWM1	GPIO2	GPIO0	UART3_TX/TXD_CAN1	TCK	TDO	RESETN	FUSE_TE	USB_VSSA	E
F	SDR_DQ12	LVSP1_CLK	LVSP1_MOSI	LVSP1_CSN2	SIM0_IO	SQI1_D1	SPIM1_CSN2	I2C_SDA	RMIL_MDIO	VSS	TDI	USB_TXRTUNE	USB_DRVVBUS	USB_DM	USB_DP	F
G	SDR_DQ8	SDR_DQ5	SDR_DQ4	SDR_DQ3	SDR_DQ9	LVSP1_CSN0	FUSE_CS	VSS	VSS	USB_VDD33	VSS	USB_DVDD	USB_VBUS	VSS	VSS	G
H	SDR_DQ0	SDR_DQ1	SDR_DQM1	SDR_DQ2	VSS	VSS	VSS	VSS	AVDD_PLL	V_FUSE_PGM	USB_ID	VSS	VSS	IFA_5_N	IFA_5_P	H
J	SDR_DQ6	SDR_DQ7	SDR_DQ10	SDR_DQM0	SDR_DQ11	VSS	VSS	VSS	VSS	AVDDREF_ADC	VSS	AVDD_ADC	VSS	IFA_4_N	IFA_4_P	J
K	SDR_DQ14	VSS	VSS	VSS	VSS	VSS	VSS	VDD_RTC	VSS	VSS	NC	AGNDREF_ADC	VSS	IFA_3_N	IFA_3_P	K
L	VSS	VSS	VSS	SDR_CSN	VSS	VSS	SDR_WEN	SDR_BA1	VDD33_RTC	NC	NC	AVDD_ADC	VSS	IFA_2_N	IFA_2_P	L
M	VSS	IF_CLK	VSS	VDD18	VSS	SDR_A6	SDR_A8	SDR_RASN	SDR_A1	SDR_A3	VSS	VSS	VSS	IFA_1_N	IFA_1_P	M
N	VSS	VSS	VDD18	VDD18	VDD18	SDR_A4	SDR_A12	SDR_CASN	SDR_A10	SDR_A0	VDD_SDR	VSS	VSS	IFA_0_N	IFA_0_P	N
P	VDD	VDD18	VDD18	SDR_A5	SDR_A7	SDR_A9	SDR_A11	SDR_CKE	NC	SDR_A2	RTC_XIN	AVDD_ADC	VSS	VSS	VSS	P
R	VDD	VDD	VDD	VDD	VDD	VSS	VSS	SDR_CLK	SDR_BA0	VBAT	RTC_XOUT	VDD	VDD	VDD	VDD	R
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	

- 基带信号管脚
- 模拟信号管脚
- 外设信号管脚
- JTAG管脚
- SDRAM连接管脚
- 时钟和复位管脚
- 电源管脚
- 接地管脚
- EFUSE管脚
- NC管脚

2.3 信号管脚定义

名称	复用功能	方向	上下拉	电压	功能描述	复用功能描述
REF_CLK		I	UP	3.3	10M 参考时钟数字方波输入	
RESETN		I	UP	3.3	全芯片复位	
IF_CLK		I	UP	1.8/3.3	中频数据采样时钟输入	
IFA_0_N		I	-	模拟	IF 模拟输入 0	
IFA_0_P		I	-	模拟	IF 模拟输入 0	
IFA_1_N		I	-	模拟	IF 模拟输入 1	
IFA_1_P		I	-	模拟	IF 模拟输入 1	
IFA_2_N		I	-	模拟	IF 模拟输入 2	
IFA_2_P		I	-	模拟	IF 模拟输入 2	
IFA_3_N		I	-	模拟	IF 模拟输入 3	
IFA_3_P		I	-	模拟	IF 模拟输入 3	
IFA_4_N		I	-	模拟	IF 模拟输入 4	
IFA_4_P		I	-	模拟	IF 模拟输入 4	
IFA_5_N		I	-	模拟	IF 模拟输入 5	
IFA_5_P		I	-	模拟	IF 模拟输入 5	
SDR_CLK		O	\	1.8	LPSDR 驱动时钟	
SDR_CKE		O	\	1.8	LPSDR 时钟使能	
SDR_CSN		O	\	1.8	LPSDR 片选	
SDR_WEN		O	\	1.8	LPSDR 写使能	
SDR_CASN		O	\	1.8	LPSDR column addr 使能	
SDR_RASN		O	\	1.8	LPSDR row addr 使能	
SDR_BA0		O	\	1.8	LPSDR bank 地址	
SDR_BA1		O	\	1.8	LPSDR bank 地址	
SDR_A0		O	\	1.8	LPSDR 数据地址	
SDR_A1		O	\	1.8	LPSDR 数据地址	
SDR_A2		O	\	1.8	LPSDR 数据地址	
SDR_A3		O	\	1.8	LPSDR 数据地址	
SDR_A4		O	\	1.8	LPSDR 数据地址	
SDR_A5		O	\	1.8	LPSDR 数据地址	
SDR_A6		O	\	1.8	LPSDR 数据地址	
SDR_A7		O	\	1.8	LPSDR 数据地址	
SDR_A8		O	\	1.8	LPSDR 数据地址	
SDR_A9		O	\	1.8	LPSDR 数据地址	

SDR_A10		O	\	1.8	LPSDR 数据地址	
SDR_A11		O	\	1.8	LPSDR 数据地址	
SDR_A12		O	\	1.8	LPSDR 数据地址	
SDR_DQM0		O	\	1.8	LPSDR byte 写选择	
SDR_DQM1		O	\	1.8	LPSDR byte 写选择	
SDR_DQ0		B	NO_PULL	1.8	LPSDR 双向数据	
SDR_DQ1		B	NO_PULL	1.8	LPSDR 双向数据	
SDR_DQ2		B	NO_PULL	1.8	LPSDR 双向数据	
SDR_DQ3		B	NO_PULL	1.8	LPSDR 双向数据	
SDR_DQ4		B	NO_PULL	1.8	LPSDR 双向数据	
SDR_DQ5		B	NO_PULL	1.8	LPSDR 双向数据	
SDR_DQ6		B	NO_PULL	1.8	LPSDR 双向数据	
SDR_DQ7		B	NO_PULL	1.8	LPSDR 双向数据	
SDR_DQ8		B	NO_PULL	1.8	LPSDR 双向数据	
SDR_DQ9		B	NO_PULL	1.8	LPSDR 双向数据	
SDR_DQ10		B	NO_PULL	1.8	LPSDR 双向数据	
SDR_DQ11		B	NO_PULL	1.8	LPSDR 双向数据	
SDR_DQ12		B	NO_PULL	1.8	LPSDR 双向数据	
SDR_DQ13		B	NO_PULL	1.8	LPSDR 双向数据	
SDR_DQ14		B	NO_PULL	1.8	LPSDR 双向数据	
SDR_DQ15		B	NO_PULL	1.8	LPSDR 双向数据	
LVSPI_MISO	LVGPIO6	B	UP	1.8	1.8V SPI MISO	1.8V GPIO
LVSPI_MOSI	LVGPIO7	B	UP	1.8	1.8V SPI MOSI	1.8V GPIO
LVSPI_CLK	LVGPIO8	B	UP	1.8	1.8V SPI CLK	1.8V GPIO
LVSPI_CSN2	LVGPIO9	B	UP	1.8	1.8V SPI CSN2	1.8V GPIO
LVSPI_CSN1	LVGPIO10	B	UP	1.8	1.8V SPI CSN1	1.8V GPIO
LVSPI_CSN0	LVGPIO11	B	UP	1.8	1.8V SPI CSN0	1.8V GPIO
UART0_RX		I	UP	3.3	串口 0 RX	
UART0_TX		O	\	3.3	串口 0 TX	
UART1_RX	GPIO12	B	UP	3.3	串口 1 RX	GPIO
UART1_TX	GPIO13	B	UP	3.3	串口 1 TX	GPIO
UART2_RX	CAN0_RX	I	UP	3.3	串口 2 RX	CAN0 RX
UART2_TX	CAN0_TX	O	\	3.3	串口 2 TX	CAN0 TX
UART3_RX	CAN1_RX	I	UP	3.3	串口 3 RX	CAN1 RX
UART3_TX	CAN1_TX	O	\	3.3	串口 3 TX	CAN1 TX
SPIM0_CLK	GPIO16	B	UP	3.3	低速 SPI CLK	GPIO
SPIM0_MISO	GPIO17	B	UP	3.3	低速 SPI MISO	GPIO

SPIM0_MOSI	GPIO18	B	UP	3.3	低速 SPI MOSI	GPIO
SPIM0_CSN0	GPIO19	B	UP	3.3	低速 SPI CSN0	GPIO
SPIM0_CSN1	GPIO20	B	UP	3.3	低速 SPI CSN1	GPIO
SQI0_CLK		O	\	3.3	Flash SQI0 CLK	
SQI0_D0		B	UP	3.3	Flash SQI0 D0 (MISO)	
SQI0_D1		B	UP	3.3	Flash SQI0 D1 (MOSI)	
SQI0_CSN		O	\	3.3	Flash SQI0 CSN0	
SQI1_CLK		O	\	3.3	Flash SQI1 CLK	
SQI1_D0		B	UP	3.3	Flash SQI1 D0 (MISO)	
SQI1_D1		B	UP	3.3	Flash SQI1 D1 (MOSI)	
SQI1_CSN		O	\	3.3	Flash SQI1 CSN0	
SPIM1_CLK	SPIS_CLK	B	UP	3.3	SPIM1 CLK	SPIS CLK
SPIM1_MISO	SPIS_MOSI	I	UP	3.3	SPIM1 MISO	SPIS MOSI
SPIM1_MOSI	SPIS_MISO	O	UP	3.3	SPIM1 MOSI	SPIS MISO
SPIM1_CSN0	SPIS_CSN	B	UP	3.3	SPIM1 CSN0	SPIS CSN
SPIM1_CSN1	GPIO5	B	UP	3.3	SPIM1 CSN1	GPIO
SPIM1_CSN2	GPIO21	B	UP	3.3	SPIM1 CSN2	GPIO
I2C_SCL	GPIO26	B	UP	3.3	I2C SCL	GPIO
I2C_SDA	GPIO27	B	UP	3.3	I2C SDA	GPIO
PWM0	GPIO28	B	UP	3.3	PWM0 输出	GPIO
PWM1	GPIO29	B	UP	3.3	PWM1 输出	GPIO
SIM0_RST		O			SIM0 卡复位	
SIM0_CLK		O			SIM0 卡时钟	
SIM0_IO		B			SIM0 卡数据	
SIMRST1	RMII_CLK50M	O	\		SIM1 卡复位	RMII 50MHz 时钟输出
SIMCLK1	RMII_TXD0	O	\		SIM1 卡时钟	RMII 发送数据位 0
SIMIO1	RMII_RXD0	B	UP		SIM1 卡数据	RMII 接收数据位 0
RMII_MDIO		B	\		RMII 串行管理接口数据输入/输出	
RMII_TXD1		O	\		RMII 发送数据位 1	
RMII_RXD1		O	UP		RMII 接收数据位 1	
RMII_MDC		O	\		RMII 串行管理接口时钟	
RMII_TXEN		O	\		RMII 数据发送使能	
RMII_RXDV		B	UP		RMII 接收数据有效	
USB_ID		I		3.3	USB 接口 ID 信号	
USB_DRVBUS		O		3.3	USB 接口 DRVBUS 输出	
USB_TXRTUNE		I		模拟	USB 接口 TXRTUNE 输入	

USB_DP		B		模拟	USB DP	
USB_DM		B		模拟	USB DM	
GPIO0		B	UP	3.3	GPIO	
GPIO1		B	UP	3.3	GPIO	
GPIO2		B	UP	3.3	GPIO	
GPIO3	ADC_CLK	B	UP	3.3	GPIO	ADC_CLK 输出
GPIO4		B	UP	3.3	GPIO	
RD_TX		O	\	3.3	RDSS 发射 BPSK 输出	
RTC_XIN		I		模拟	RTC 晶体 XIN	
RTC_XOUT		O		模拟	RTC 晶体 XOUT	
VDD_RTC		O		模拟	RTC 内部电压检测	
MEAS_SYNC		O	UP	3.3	观测时标输出	
PPS0		O	\	3.3	1PPS 脉冲输出 0	
PPS1		O	\	3.3	1PPS 脉冲输出 1	
EVENT		I	UP	3.3	EVENT 时标输入	
TCK		I	UP	3.3	JTAG TCK	
TMS		I	UP	3.3	JTAG TMS	
TDI		I	UP	3.3	JTAG TDI	
TDO		O	\	3.3	JTAG TDO	
FUSE_TE		I		3.3	EFUSE 测试模式使能	
VFUSE_PGM		I		2.5	EFUSE 烧写供电	
FUSE_SCLK		I	UP	3.3	EFUSE 烧写模式时钟	
FUSE_RW		I	UP	3.3	EFUSE 烧写模式写使能	
FUSE_CS		I	UP	3.3	EFUSE 烧写模式片选	
FUSE_DOUT		O	\	3.3	EFUSE 烧写模式数据输出	
FUSE_PGM		I	UP	3.3	EFUSE 烧写模式数据输入	

2.4 电源管脚定义

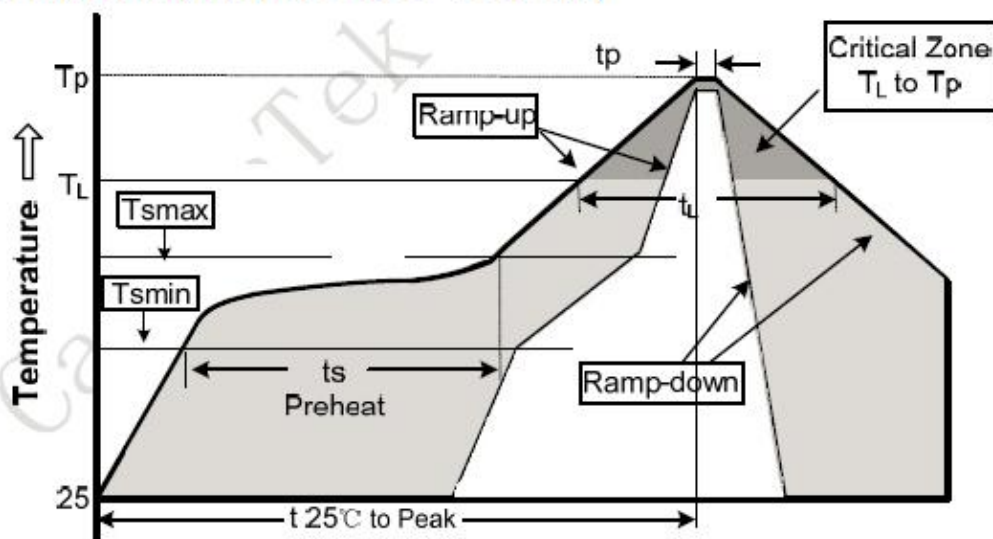
管脚	电压范围	说明
VDD33	3.3V±10%	3.3V IO 电源
VDD18	1.7V ~ 1.9V	1.8V IO 电源
VDD	1.1V±5%	核心数字工作电源
AVDD_PLL	1.1V±5%	核心模拟 PLL 工作电源
AVDD_ADC	1.1V±5%	核心模拟 ADC0 工作电源
AVDDREF_ADC	1.1V±5%	ADC 参考电压

VDD33_RTC	3.3V±10%	RTC 电源（连接 VDD33，非 RTC 备份电源）
VBAT	3.3V	RTC 供电电池
USB_VDD33	3.3V±10%	USB 模拟电源
USB_DVDD	3.3V±10%	USB 数字电源
USB_VBUS	3.3V 或 5V	USB 总线电源

2.5 生产操作

本芯片为无铅芯片，适用无铅焊接工艺，推荐回流焊温度曲线图如下：

Reflow Profile (Reference JEDEC J-STD-020)



Profile Feature	Lead(Pb) Free Assembly
Average Ramp-up Rate(T_l to T_p)	3°C/s(max)
Temperature Min.(T_{smin})	150°C
Temperature Max.(T_{smax})	200°C
Time (Min. to Max.)(t_s)	60-80s
T_{smax} to T_l	3°C/s(max)
Time 25°C to Peak Temperature	8 mins.(max)
Temperature(t_l)	217°C
Time maintained above t_l	60-150s
Peak Temperature(t_p)	260±0/-5°C
Time Within 5°C of Actual Peak	20-40s
Ramp-Down Rate	6°C/s(mas)

如果采用有铅焊接，用户需采用比常规有铅工艺更高的温度曲线，并自行承担风险。

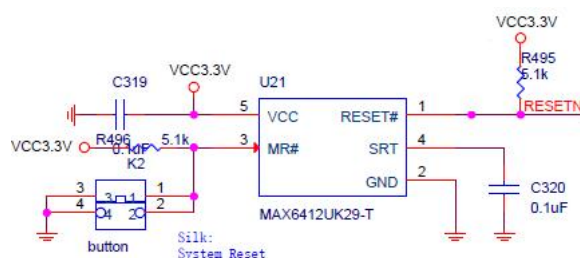
如果需要加强芯片的抗冲击性能，可以进行 BGA 底部填充。

3 硬件参考电路

以下只给出部分主要电路的参考，详细的硬件设计请参考原理图 PDF 文档。

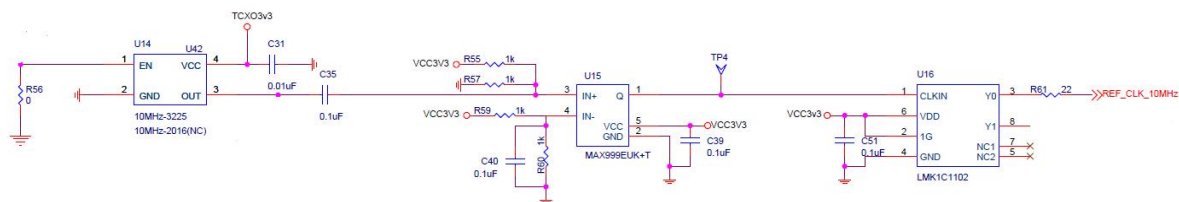
3.1 复位电路

KT3010 全局复位信号用于系统复位，以实现整个芯片的复位。低电平有效。参考电路如下图所示：



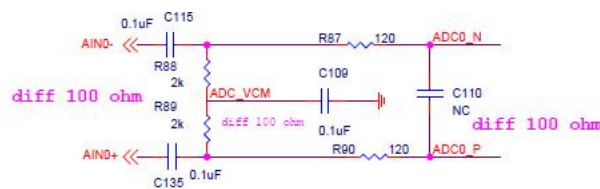
3.2 时钟电路

KT3010 的参考时钟输入 (REF_CLK) 为 10MHz 频率的 3.3V 数字方波。外部可采用 10MHz 的高稳定性 TCXO 温补晶振，再加上时钟整形电路，晶振推荐型号为 DSB321SDA-10MHz，参考电路如下图所示：



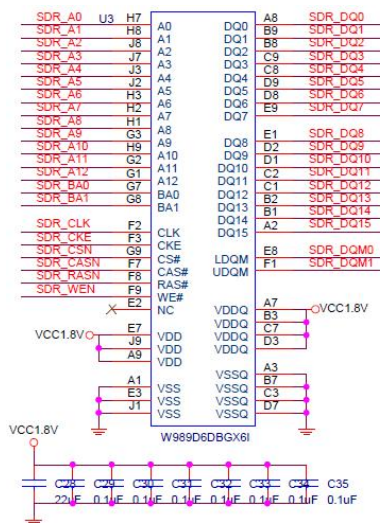
3.3 模拟中频输入匹配电路

KT3010 支持 6 路模拟中频输入 IFA_0~IFA_5，为差分模拟信号输入。每个中频输入可接入一路实数模拟中频，或由两路中频输入组合输入一路复数模拟中频。当模拟中频输入为复数模式时，为保证 ADC 采样的一致性，建议 I/Q 两路模拟中频输入使用相邻的两路模拟中频输入（IFA_0+IFA_1 或 IFA_2+IFA_3 或 IFA_4+IFA_5）。模拟中频输入幅度 V_{p-p} 为 0.88V~1.08V，输入共模电压为 0.45V~0.65V（目前 ADC_VCM 选择的是 $AVDD/2=0.55V$ ）。下图所示为 ADC 输入端的匹配参考电路（以 IFA_0 的差分输入为例）：



3.4 SDRAM 电路

KT3010 片上已集成 64MB LP-SDRAM，也可以通过片上集成 SDRAM 控制器外接 SDRAM 存储器以扩展程序和数据存储空间。SDRAM 控制器支持 1 路 CS，最多可同时连接 1 片 64MB 的 SDRAM，即最大外扩存储器大小为 64MB。使用的 SDRAM 必须为 16bit LPSDR (Low Power SDR) SDRAM，数据总线 16bit，接口电平 1.8V。推荐型号为 Winbond 的 LPSDR SDRAM W989D6 系列。参考电路如下图所示：



3.5 FLASH 电路

SQI0 和 SQI1 用于连接 flash 芯片, 各支持 1 路片选, 可分别连接一片 flash 芯片, 以支持 firmware 代码存储与升级, 同时可以用于存储星历与历书等。参考电路如下图所示;

